

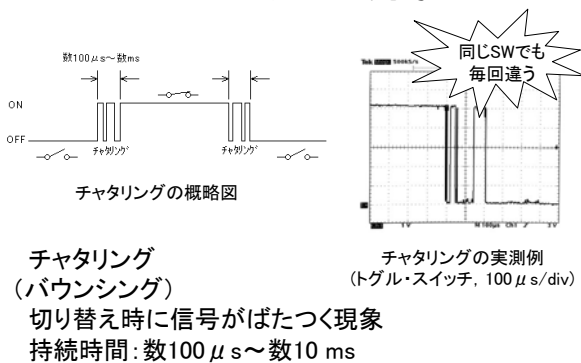
機械創成工学特論B 「メカニカルスイッチ」

その2

目 次

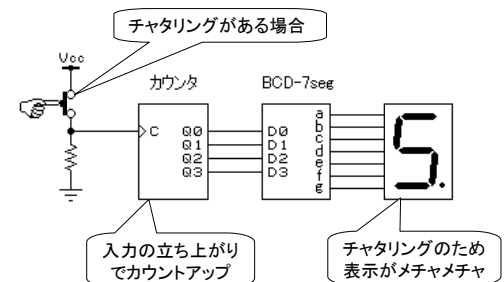
- 5. チャタリング現象
 - 5. 1 チャタリング現象とは
 - 5. 2 チャタリングの問題点
 - 5. 3 チャタリング対策
 - 5. 4 事例
- 6. キー・マトリクス
 - 6. 1 キー・マトリクスの構成
 - 6. 2 キー・マトリクスの注意点
 - 6. 3 事例

5.1 チャタリング現象とは



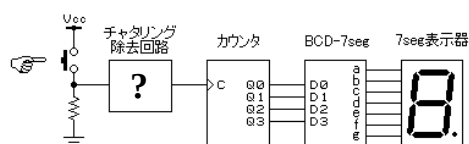
5.2 チャタリングの問題点

スイッチの押された回数を数える

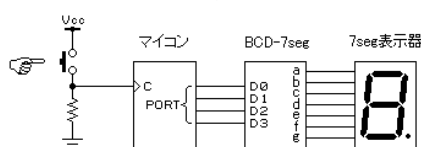


5.3 チャタリング対策

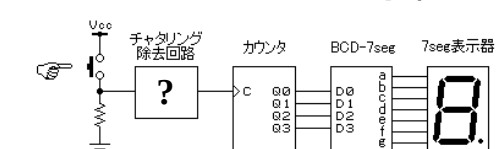
1. ハードウェアによる方法



2. ソフトウェアによる方法 (デコード部分はマイコンで行うことも可)



5.3.1 ハードウェアによる チャタリング対策

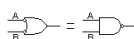


- (a) RSフリップフロップ
 - (b) ローパスフィルタとシュミットトリガ
 - (c) カウナによる遅延
 - (d) 低サンプリングレートでのサンプリング
 - (e) サンプリング用イネーブル信号
- など

5.3.1(a) RSフリップフロップ

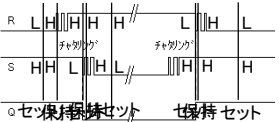
NANDゲートを用いたRSフリップフロップによるチャタリング除去回路

NANDゲート



NAND = NOT AND

A	B	AND	NAND
L	L	L	H
L	H	L	H
H	L	L	H
H	H	H	L

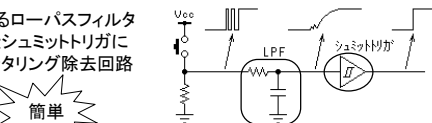


R	S	Q_{n+1}	動作
H	H	Q_n	保持(変化なし)
H	L	L	リセット
L	H	H	セット
L	L	H	(禁止入力)

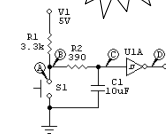
双投SWが必要

5.3.1(b) ローパスフィルタとシュミットトリガ (1/3)

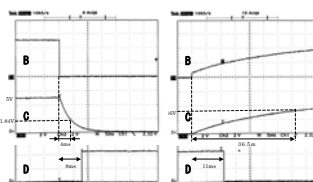
RCによるローパスフィルタ(LPF)とシュミットトリガによるチャタリング除去回路



簡単

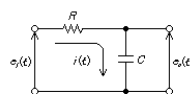


実験回路図と実測波形



5.3.1(b) ローパスフィルタとシュミットトリガ (2/3)

RCによるローパスフィルタ(LPF)



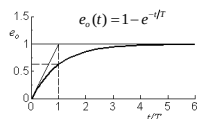
$$Ri(t) + e_o(t) = e_i(t), \quad e_o(t) = \frac{1}{C} \int_0^t i(t) dt \quad \text{より}$$

$$CR \frac{de_o(t)}{dt} + e_o(t) = e_i(t)$$

$$\text{ラプラス変換して } E_o(s) = \frac{1}{1 + RCs} \{E_i(s) + CRe_o(0)\}$$

$$\text{伝達関数 } G(s) = \frac{E_o(s)}{E_i(s)} = \frac{1}{1 + RCs} = \frac{1}{1 + Ts}$$

時定数 $T=RC$

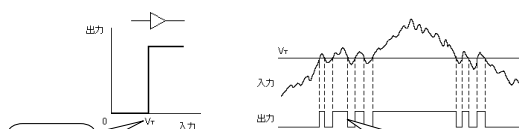


単位ステップ応答 $e_i(t)=1, e_o(0)=0$

初期値 $e_o(0)$ で, $e_i(t)=V$ で一定のとき

$$e_o(t) = (1 - e^{-t/T})V + e^{-t/T}e_o(0)$$

5.3.1(b) ローパスフィルタとシュミットトリガ (3/3)



1つの閾値

普通の素子

出力がばたつく

ヒステリシス

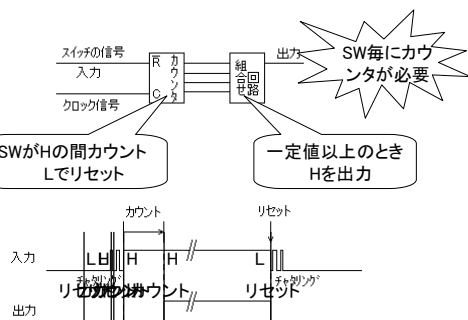
シュミットトリガ

ばたつきがない

2つの閾値

この間で変化しても出力は変わらない

5.3.1(c) カウンタによる遅延

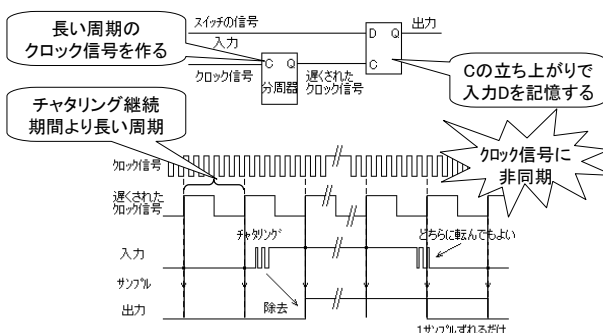


SW毎にカウンタが必要

SWがHの間カウントLでリセット

一定値以上のときHを出力

5.3.1(d) 低サンプリングレートでのサンプリング



長い周期のクロック信号を作る

スウィッチの信号

入力

出力

クロック信号

遅くされたクロック信号

Cの立ち上がりで入力Dを記憶する

チャタリング継続期間より長い周期

クロック信号に非同期

加減信号

遅くされた加減信号

入力

サンプル

出力

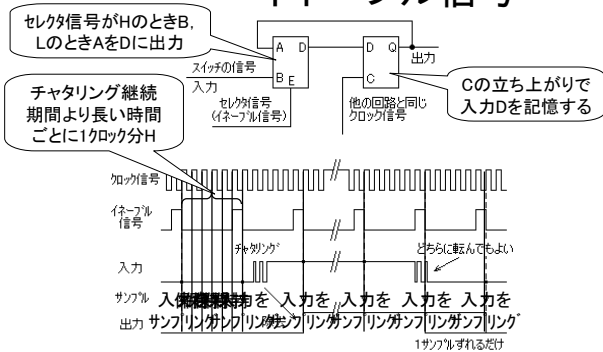
チャタリング

除去

どちらに転んでもよい

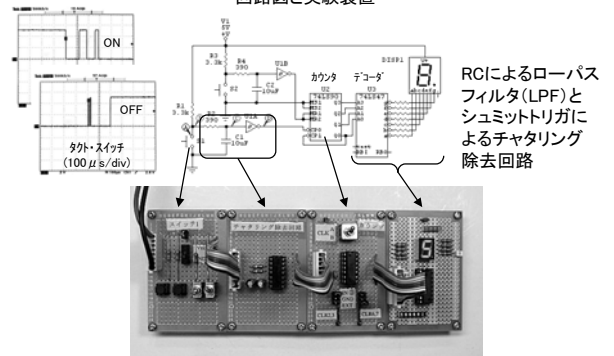
1サンプルずれるだけ

5.3.1(e) サンプリング用 イネーブル信号



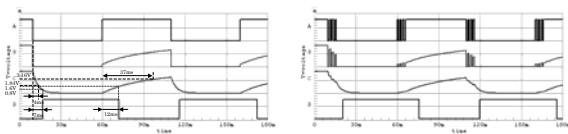
5.3.2 TTLとRC回路 (1/3)

回路図と実験装置



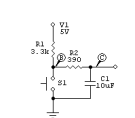
5.3.2 TTLとRC回路 (2/3)

シミュレーション



(a) チャタリングのない場合

(b) チャタリングのある場合



74LS14

Typ. $V_{TL}=0.8$, $V_{TH}=1.6$

・スイッチをOFF→ONにした時

時定数 : $T_{ON} = R_2 C_1 = 3.9 \text{ ms}$

C点の電圧: $V_C(t) = V_C(0)e^{-t/T_{ON}}$

B点の電圧: $V_B(t) = 0$

・スイッチをON→OFFにした時

時定数 : $T_{OFF} = (R_1 + R_2)C$

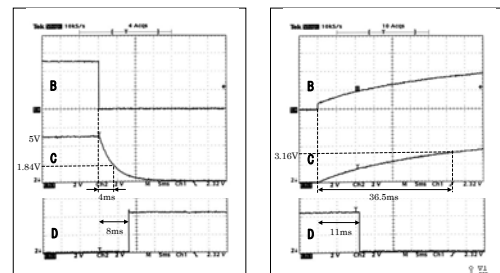
C点の電圧: $V_C(t) = V_1(1 - e^{-t/\tau_{OFF}}) + V_C(0)$

B点の電圧: $V_B(t) = V_1 \left(1 - \frac{R_1}{R_1 + R_2} e^{-t/\tau_{OFF}} \right) + V_C(0) \frac{R_1}{R_1 + R_2}$

$$D \in \mathcal{P} \quad \wedge \quad \left(\begin{array}{c} R_1 + R_2 \\ \vdots \\ R_1 + R_2 \end{array} \right) \quad \vee \quad G \in \mathcal{P} \quad \wedge \quad R_1 + R_2$$

5.3.2 TTLとRC回路 (3/3)

実機試験



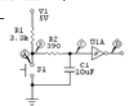
スイッチをONした時

$$T_{ON} = 3.9 \text{ ms}$$

スイッチをOFFした時

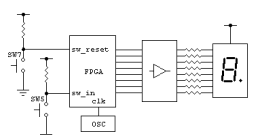
$$T_{OFF} = 36.9 \text{ ms}$$

B～D点の実測波形 (5 ms/div)

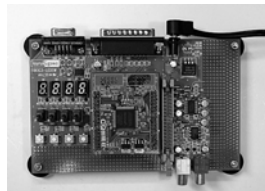


5.3.3 FPGA (1/4)

回路図と実験装置



FPGA
(Field Programmable Gate Array)



Altera社 Cyclone-EP1C3 33 MHz
搭載の評価基板

5.3.1 (c) カウンタよる遅延

5.3.1 (d) 低サンプリングレートでのサンプリング

5.3.1 (e) サンプリング用イネーブル信号

などの回路をプログラムで実現できる

5.3.3 FPGA (2/4)

VHDLプログラム

```

69  -- チャタリング除去のためのクロック分周
70  process (clk)
71  begin
72      if clk_event and clk = '1' then          -- 基準クロックの立ち上がりで
73          clk_sw_count <= clk_sw_count + 1;    -- clk_sw_count をカウントアップ
74      end if;
75  end process;

77  -- 最上位をチャタリング除去クロックとして用いる
78  clk_sw <= clk_sw_count (SW_CNT_BITS-1);      -- 分周クロック周期 215/33 Mhz ≒ 1 ms

88  -- 分周されたクロックでサンプリング
89  process (clk_sw)
90  begin
91      if clk_sw_event and clk_sw = '1' then    -- 分周クロックの立ち上がりで
92          sw_data2 <= not sw_in;               -- スイッチの状態をサンプリング
93      end if;
94  end process;
95  counter_unit2 : counter
96  port map (sw_data2, reset, count2);          -- sw_data2 でカウントアップ

```

5.3.3 FPGA (3/4)

VHDLプログラム

```

80  -- 1クロックHとなるイネーブル信号
81  en_sw <= '1' when clk_sw_count = conv_std_logic_vector(-1, SW_CNT_BITS)
      else '0';

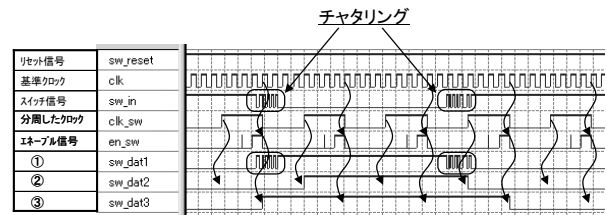
98  -- イネーブル信号を用いてサンプリング
99  process (clk)
100 begin
101     if clk'event and clk = '1' then
102         if en_sw = '1' then
103             sw_dat3 <= not sw_in;
104         end if;
105     end if;
106 end process;
107 counter_unit3 : counter
108     port map (sw_dat3, reset, count3);
-- sw_dat3 でカウントアップ

83  -- そのままカウンタのクロックへ (普通こんなことはしない)
84  sw_dat1 <= not sw_in;
85  counter_unit1 : counter
86     port map (sw_dat1, reset, count1);
-- sw_dat1 でカウントアップ

```

5.3.3 FPGA (4/4)

シミュレーション



- ①スイッチ信号のNOT
- ②分周したクロックを用いて、低サンプリングレートでサンプリングした信号
- ③イネーブル信号を用いて、サンプリングした信号